

**SEMICONDUCTOR DEVICE**

Patent Number: JP61168265  
Publication date: 1986-07-29  
Inventor(s): YASUI JURO  
Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP61168265  
Application Number: JP19850008634 19850121  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L29/44  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To prevent a substrate from being exposed in a contacting window over electrode wirings on source, drain and field insulating film by coating the end of a field region in the window with a side wall formed on the side of electrode wirings.

**CONSTITUTION:**A P-type Si substrate 15 is selectively oxidized to form a field SiO<sub>2</sub> film 10, a gate SiO<sub>2</sub> film 18 is formed, a polycrystalline Si film is formed, P is thermally diffused to reduce the resistance, and gate electrodes and electrode wirings 11 are respectively formed on the films 18, 10. After As ions are implanted to form source, drain region 12, a CVD SiO<sub>2</sub> film is formed, and the entire surface is etched, a flat CVD SiO<sub>2</sub> film is removed, and a side wall 13 is formed only on the side of a polycrystalline Si film 11. Then, after PSG film 16 which contains P of high density is formed as an interlayer insulating film, the films 16, 18 are selectively etched to open a contacting window over the region 12 and the film 11, and aluminum wirings 17 are formed.

Data supplied from the esp@cenet database - I2



## ⑫ 公開特許公報(A)

昭61-168265

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月29日

H 01 L 29/78  
29/448422-5F  
7638-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-8634

⑯ 出 願 昭60(1985)1月21日

⑰ 発 明 者 安 井 十 郎 門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
⑲ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1、発明の名称

半導体装置

## 2、特許請求の範囲

フィールド領域に形成した電極配線と、この電極配線の側面に形成した所定の厚さの側壁と、上記電極配線上に形成した層間絶縁膜を備え、かつ上記電極配線の一方の端が前記フィールド領域の端より、前記側壁の厚さ以内の距離だけ離れて位置され、上記層間絶縁膜に、上記電極配線の一方の端を含み、該電極配線とソース・ドレインとにまたがるように形成されたコンタクト窓を備えてなる半導体装置。

## 3、発明の詳細な説明

産業上の利用分野

本発明は製造歩留を向上でき半導体装置に関するものである。

従来の技術

従来、たとえばスタティックメモリーのような MOSLSI において Si 基板と、反対導電形の

不純物拡散層であるソース・ドレインと、フィールド  $\text{SiO}_2$  膜上にある第1の電極配線である多結晶 Si 部とを電気的に接続する場合に、コンタクト部の面積を小さくするためにソース・ドレインと多結晶 Si 部にまたがるコンタクト窓を形成し Al 配線でこのコンタクト窓を覆うことが多い。このとき第6図に示すように多結晶 Si 部1がフィールド  $\text{SiO}_2$  膜2の外まで延在していると、上に形成した Al 配線3と多結晶 Si 部1とが反応することによって形成された Al-Si 合金が多結晶 Si 部1下の薄い  $\text{SiO}_2$  膜4をつき抜けて Si 基板5に達し Al 配線3と Si 基板5が短絡することが多い。したがってコンタクト窓内の多結晶 Si 部1は第7図に示すようにフィールド  $\text{SiO}_2$  膜2上に位置するのが望ましい。

発明が解決しようとする問題点

ところがこの場合にはソース・ドレイン6とフィールド  $\text{SiO}_2$  膜2上に位置する多結晶 Si 部1とにまたがるコンタクト窓を開口するために絶縁膜7をエッチングする際にエッチングによって絶

縁膜7下のフィールド  $\text{SiO}_2$  膜2もエッチングされる。このときエッチングされたフィールド  $\text{SiO}_2$  膜2が浅いか、あるいはソース・ドレイン6(の不純物拡散層の接合)が深い場合には、コンタクト窓内にはソース・ドレイン6の端部が露出されるだけであるが、微細化されたLSIではソース・ドレイン6を浅くする必要がありそのためフィールド  $\text{SiO}_2$  膜2がエッチングされると  $\text{Si}$  基板6の一部8が第7図のように露出される。そうするとコンタクト窓をAl配線3で覆ったときに  $\text{Si}$  基板1とソース・ドレイン6および多結晶  $\text{Si}$  部1とが短絡されてしまい、LSIを不良にしてしまう。この問題は絶縁膜7のエッチングを等方的なエッチング法、たとえばHFの希釈液を用いる湿式エッチング法で行なう場合には特に大きな問題となる。

本発明はかかる点に鑑みてなされたもので、上記問題が発生しない構造の半導体装置を提供することを目的としている。

問題点を解決するための手段

明する。

第1図は浅い反対導電形不純物拡散層よりなるソース・ドレインと多結晶  $\text{Si}$  よりなる電極配線とのコンタクト部分の平面図、第2図はその断面図であり、10はフィールド絶縁膜であるフィールド  $\text{SiO}_2$  膜、11は電極配線である多結晶  $\text{Si}$ 、12はソース・ドレイン、13は絶縁膜たとえばCVD  $\text{SiO}_2$  膜よりなる側壁、14はコンタクト窓、15はP形  $\text{Si}$  基板、16は絶縁膜、17はAl配線、18はゲート  $\text{SiO}_2$  膜である。CMOSのスタティックRAMにおけるメモリーセルは2組のCMOSインバータの各々のゲート電極を他方のインバータのソース・ドレインに接続してフリップフロップ回路を構成するが、このゲート電極とソース・ドレインとの接続部を第1図に示すようにコンタクト窓14がソース・ドレインとゲート電極につながりフィールド  $\text{SiO}_2$  膜上にある多結晶  $\text{Si}$  11とにまたがって形成されることにより高密度化を図ることができる。このコンタクト部を本発明の構造とした実施例の半導体装置

本発明の半導体装置は上記従来の問題点を解決するために、フィールド領域に形成された電極配線側面に所定の厚さの側壁を設け、この電極配線の一方の端が前記フィールド領域の端から前記側壁の厚さ以内に位置し、ソース・ドレインや前記電極配線上に形成された層間絶縁膜が選択的にエッチングされてソース・ドレインと前記電極配線にまたがるコンタクト窓が形成されてなるものである。

## 作 用

本発明の半導体装置は上記したように、電極配線とソース・ドレインとにまたがるコンタクト窓を開口する際に、コンタクト窓内のフィールド領域の端部は前記電極配線側面に形成された側壁で覆われているため、ソース・ドレインおよび電極配線上の層間絶縁膜がエッチングされてもフィールド絶縁膜がエッチングされて  $\text{Si}$  基板が露出されることはない。

## 実 施 例

本発明の一実施例を第1図～第5図とともに説

を、第3図～第5図の工程説明図により詳しく説明する。P形  $\text{Si}$  基板15を選択酸化することにより厚さ  $0.7 \mu\text{m}$  のフィールド  $\text{SiO}_2$  膜10を形成し、厚さ  $0.015 \mu\text{m}$  のゲート  $\text{SiO}_2$  膜18を形成した後、多結晶  $\text{Si}$  膜を形成し、 $n$ 形不純物であるPの熱拡散により低抵抗化してからゲート  $\text{SiO}_2$  膜18とフィールド  $\text{SiO}_2$  膜10上に各々ゲート電極、電極配線11を形成する(第3図)。この時フィールド  $\text{SiO}_2$  膜10上の電極配線である多結晶  $\text{Si}$  11の端はフィールド  $\text{SiO}_2$  膜10の端から  $0.2 \mu\text{m}$  だけ離れたフィールド  $\text{SiO}_2$  膜10上に位置している。 $n$ 形不純物であるAsイオンを注入して深さ  $0.15 \mu\text{m}$  のソース・ドレイン12を形成した後、気相化学蒸着(CVD)法により厚さが  $0.4 \mu\text{m}$  の  $\text{SiO}_2$  膜(CVD  $\text{SiO}_2$  膜)を形成し、異方性の強い反応性イオンエッチング(RIE)法を用いて全面をエッチングすることにより、平坦部のCVD  $\text{SiO}_2$  膜を除去して多結晶  $\text{Si}$  11の側面のみ厚さ  $0.3 \mu\text{m}$  の側壁13を形成する(第4図)。

7

つぎに層間絶縁膜としてCVD法で高濃度のPを含んだ厚さ0.6  $\mu\text{m}$  の  $\text{SiO}_2$  膜 ( PSG 膜 ) 16を形成した後、この PSG 膜 16をゲート  $\text{SiO}_2$  膜 18とをRIE法により選択的にエッチングして、ソース・ドレイン 12と多結晶 Si 11にまたがるコンタクト窓を開口し Al 配線 17を形成する ( 第6図 )。

RIE法で PSG 膜 16とゲート  $\text{SiO}_2$  膜 18をエッチングする際に、通常 PSG 膜 16の厚さのばらつき、エッチング速度の場所によるばらつき、エッチング速度の再現性などを考慮して目標とする厚さの絶縁膜 ( 本実施例では PSG 膜 0.4  $\mu\text{m}$  とゲート  $\text{SiO}_2$  膜 0.015  $\mu\text{m}$  ) をエッチングするのに要する時間よりも一定の時間だけ長くエッチング ( オーバーエッチング ) する。あるいはまた RIE 法によるエッチング時間を短かくして薄 PSG 膜、例えば 0.08  $\mu\text{m}$  の厚さの PSG 膜とゲート  $\text{SiO}_2$  膜 18を残し、この残した PSG 膜、 $\text{SiO}_2$  膜を Si 基板に対する選択比の大きな湿式エッチング法によりエッチングすることもある。

9

うに第1の不純物濃度のソース・ドレインが形成された後に側壁 13が形成され、その後で第2の不純物濃度のソース・ドレインが形成されても良い。

さらに側壁 13の材質として本実施例では CVD  $\text{SiO}_2$  膜であるがこれに限定されることなく  $\text{Si}_3\text{N}_4$  膜など他の絶縁膜でもよいが、層間絶縁膜 16よりもエッチング速度が小さいほうが望ましい。

#### 発明の効果

本発明の半導体装置によれば、ソース・ドレインとフィールド絶縁膜上の電極配線とにまたがるコンタクト窓を形成する際に、フィールド領域端のフィールド絶縁膜がエッチングされることがないのでコンタクト窓内にソース・ドレイン下の Si 基板が露出することがなく、ソース・ドレインや電極配線と Si 基板とが短絡することがない。したがって接合の浅いソース・ドレインや薄いゲート  $\text{SiO}_2$  膜の高密度 LSI の製造歩留を向上することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における半導体装置

りこの場合もエッチング時間を長くすなわちオーバーエッチングをしてコンタクト窓内の PSG 膜 16、ゲート  $\text{SiO}_2$  膜 18を完全に除去しようとする。

本実施例では多結晶 Si 11の端からソース・ドレイン 12までのフィールド  $\text{SiO}_2$  膜 19上には多結晶 Si 11側面に形成された CVD  $\text{SiO}_2$  膜による側壁 13があるため、上記のようなオーバーエッチングをしても側壁 13がエッチングされるだけでフィールド  $\text{SiO}_2$  膜 19がエッチングされることはなくソース・ドレイン 12下の Si 基板 15がコンタクト窓内に露出することはない。これは多結晶 Si 11の端がフィールド  $\text{SiO}_2$  膜 19の端から側壁 13の厚さよりも少ない距離に位置するために得られた結果である。

なお上記の説明ではソース・ドレイン 12を形成した後側壁 13を形成しているが、これに限らずソース・ドレイン 12形成前に側壁 13を形成してもよいし、またソース・ドレインが2種の異なる不純物濃度領域よりなる LDD の場合のよ

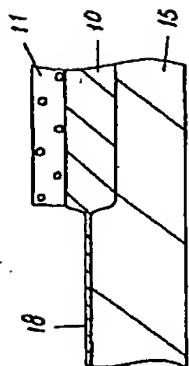
10

のコンタクト部の平面図、第2図は同断面図、第3図～第6図は同装置の製造工程を説明する断面図、第6図、第7図は従来の半導体装置のコンタクト部の断面図である。

10……フィールド  $\text{SiO}_2$  膜、11……電極配線、12……ソース・ドレイン、13……側壁、14……コンタクト窓。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

區  
,  
媽



第四

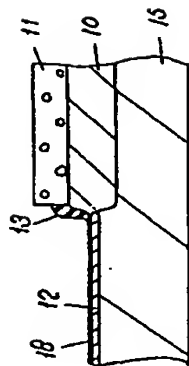
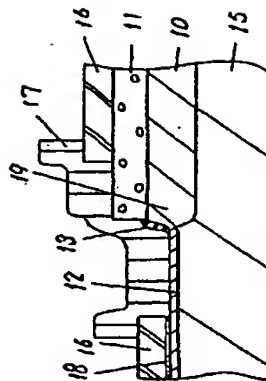
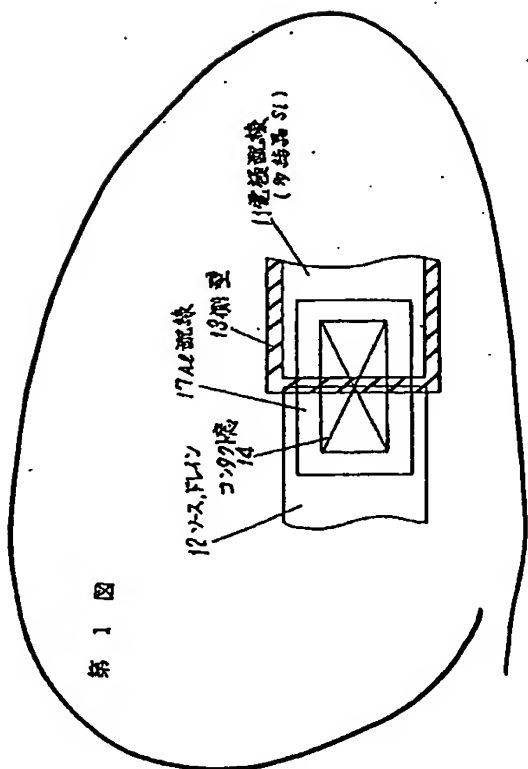


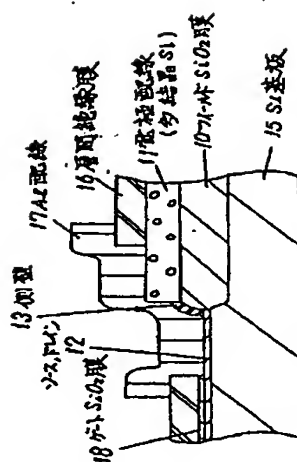
圖 5 第



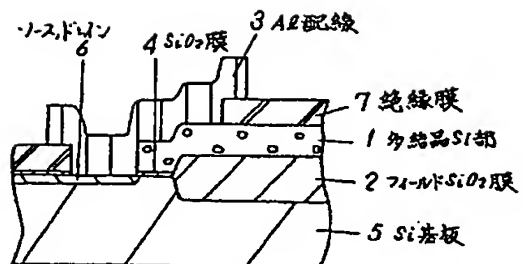
一城



第 2 章



第 6 図



第 7 図

